

자가정렬 방식 임프린트 리소그래피(Self-Aligned Imprint Lithography; SAIL)에 의한 플렉시블 디스플레이 백플레인의 롤투롤(Roll-to-Roll) 생산

Han-Jun Kim, M.S., HP Lab & Phicot Inc

개요:

휴렛 팩커드(HP)와 Phicot, Inc.는 움직이는 기판 위에 직접 롤투롤(roll-to-roll) 방식으로 전자회로를 제조하는 기술을 지난 10 여 년간 함께 개발하여 왔으며, 세계 최초의 전 과정 롤투롤 방식 플렉시블 디스플레이 백플레인(flexible display backplane)에 E-Ink 소자를 덧붙인 연성 전자종이(e-paper) 디스플레이를 발표한 바 있습니다. 저희가 개발한 자가정렬 방식 임프린트 리소그래피(Self-aligned imprint lithography; SAIL)는 플렉시블 전자회로 생산에 있어서 가장 큰 문제점의 하나로 지목되는 다층간 정렬의 어려움을 근본적으로 해결함으로써 플렉시블 기판을 고정재에 접촉하지 않고도 대면적 생산을 가능하게 합니다. 따라서, 보다 저비용, 고효율, 친환경적인 생산에 적합한 방식입니다. 이번 발표에서는, 최근 개발 중인 태양광을 사용하는 qqVGA 크기의 손목용 SAIL 플렉시블 전자종이 개발에 관한 기술적 사항을 중심으로, 본 기술의 상용화에 관한 이슈들을 나누어보고자 합니다. 한국 산업계, 학계 및 연구계와의 상호 협력을 협의하는 좋은 기회가 되기를 기대합니다.

마이크로웨이브를 이용한 일렉트로닉스 애플리케이션 고분자 재료의 열효율적인 경화방법

Sung Yi, Ph.D., Portland State University

개요:

일반적으로 underfills, 고분자 매트릭스 복합 재료 등은 열로 경화를 한다. 열 경화 방법은 뜨거운 공기의 흐름을 이용하여 대류 난방 장치 메커니즘을 사용하며, 에너지는 재료의 표면에서 대류, 전도와 열의 방사를 통해 소재로 전송된다. 반면에, 마이크로파 에너지는 전자기장과 분자 상호 작용을 통해 물질에 직접 전달된다. 마이크로 웨이브는 재료를 침투하여, 에너지를 재료 속에 전달 할 수 있기 때문에, 열에너지를 재료의 볼륨에 걸쳐 생성할 수 있어서, 두꺼운 재료를 신속하고 균일한 가열을 달성할 수 있다.

연구 결과에 의하면, 마이크로 웨이브를 이용한 경화 방법은 열 대류를 이용한 경화 방법에 비해 획기적으로 경화 시간을 줄일 수 있음을 보여 준다. 열 대류 경화는 열 Oven 에서 약 120 분 가량 걸리는 반면, 마이크로 웨이브를 이용하면 3-5 분 정도 걸린다. 마이크로 웨이브를 이용한 경화 방법은 매우 에너지 효율적이다. 또한, 마이크로 웨이브를 이용한 경화 프로세스는, 열 대류를 이용한 경화된 재료들에 비해 동등한 기계적 특성을 보여주며, 또 열로 인해서 재료에 발생하는 열응력이 상대적으로 낮다. 따라서, 마이크로 웨이브를 이용한 경화 방법은 새로운 열 효율적인 고분자 재료 경화방법으로 유망하다.

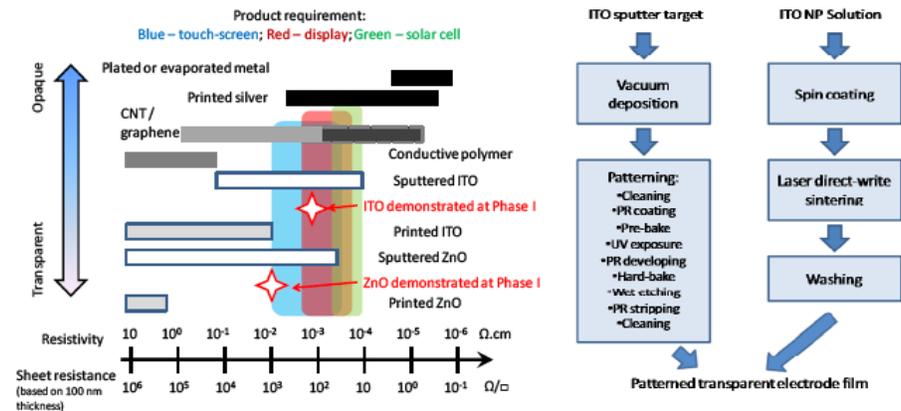
연성 전자기기 제조(flexible electronics manufacturing)를 위한 금속산화물 나노소재(metal oxide nanomaterials) 와 레이저 가공(laser processing) 의 결합

Hee K. Park, Ph.D., AppliFlex LLC

개요:

본 프로젝트는 광전자기기의 투명전극에 대해 인쇄용 금속 산화물 소재와 나노구조의 필름을 발전시킨 것인데 특히 인듐주석 산화물 (ITO)과 산화아연 (ZnO)에 관한 것이다.

투명 전도체는 광학적, 전기적 특성의 정확한 제어가 요구되는 곳에 적용되는 대표적인 중요한 소재이다. 솔루션 가공은 나노입자 솔루션을 프린트하고 코팅한 후 열가공을 하여 필름의 성질을 개선시킴을 기본으로 하고 있다. 그러나 금속 산화물의 높은 소결(sintering)온도는 통상의 열처리를 동반한 광전자기에 요구되는 양질의 필름이나 고열을 견딜수 없는 회로기판의 적용에는 적합하지 않다. 이러한 난점을 극복하기 위해 우리는 레이저 가공을 이용하기를 제안한다. 솔루션 프린팅과 레이저 가공의 접목 방식의 이점은; (1) 레이저를 이용한 열처리 공정은 프린트된 물질의 형태, 구조, 화학적 성질을 향상시켜 나노구조의 특성을 세밀히 조정하고, (2) 레이저의 선택적 소결(sintering)과 direct-write 공정을 통해 패터닝이 이루어지고, (3) 최소한의 열이 가해졌을때도 레이저의 국부적 증착이 이루어질 수 있다는 것이다. 금속 산화물은 값이 저렴하고, 많은 경우 천연적이고, 풍부하고, 무독성이며 화학적으로 안정적이고 제조하기도 쉽다. 또한 이 프로젝트에서 개발된 ZnO 같은 저가의 재료와 비용효과가 높은 프로덕션 솔루션의 사용은 친환경적 제조 방식을 이루어 내는데 상당한 도움을 줄 것이다. 현재 이러한 필름은 비싼 진공증착과 광학 패터닝 (photolitho-graphic patterning) 기술로 만들어지기 때문에 비용효과가 높은 롤투롤 인쇄전자 (roll-to-roll printable electronics) 의 개발의 필요성이 절실하다.



여러 다른 투명 전도성 물질과 그 제조방법의 비교

통상의 ITO 투명전극 제조와 프린팅의 프로세스 흐름의 비교. PR 은 Photoresists 를 말함.

UTEP 보유 프린팅공정 및 재료개발

Nam-Soo Kim, Ph.D., University of Texas at El Paso

개요:

엘파소 소재 텍사스 주립대(유텍)은 디지털 프린팅 전문연구소인 SPEC 센터와 재료금속과내 PNE(Printable Nano Engineering) 랩을 보유하고 있다. 본 공동연구/상용화를 제안하는 김남수는 텍사스주의 해외교수 영입프로그램인 STARS AWARD 로 한국인으로는 처음으로 국내 서경대학교에서 미국의 주립대인 유텍 재료공학과 부교수로 영입되어 PNE 랩을 창립하였다.

스펙센터는 노광기술을 이용한 인공피부, 3 차원생체구조, 초고온 금속분체 3 차원구조체 장비등을 보유하고 있다. PNE 랩은 R2R 을 이용한 극미세패턴, 금속벌크의 70% 전기전도도를 갖는 직접인쇄 패턴링기술, 시뮬레이션기술등 나노잉크, R2R 프린팅, 3 차원 구조체 프린팅에 관한 세계첨단 기술을 보유하고 있다. 특히 고점도(10 만 cP 이상), 나노잉크 제조 및 3 성분계이상의 분체조합기술, 이의 직접인쇄장비 및 응용기술, 나노코팅장비 및 기술에 대한 다양한 노하우를 보유하고 있다. 재료공학과 내 PNE 랩과 스펙센터는 분야별로 공동사업 및 공동연구를 제안합니다.

첫째, 유텍내의 Multi-functional 재료의 고점도 분사 및 저온 처리기술은 이미 상용화 단계에 있으며, 이의 공동사업화를 제안합니다. 둘째, 그라비아, 그라비아 오프셋, 리버스 오프셋, 플렉소등 프린팅 기술과 컴퓨터 시뮬레이션을 통한 나노잉크의 최적화와 이를 이용한 극미세 패턴링 기술에 대한 공동연구와 잉크최적화 기술에 대한 기술이전을 제안합니다. 셋째, 고점도 분사기술과 이를 생산하는 업체와의 연계로 태양광등 새로운 분야로의 진출 및 장비공동개발을 기대합니다., 넷째, 노광기술을 이용한 3 차원 복합체 제조기술과 나노재료의 접목으로 열전달을 용이하게 하는 패키징 기술에 대한 공동연구 및 사업화를 제안합니다.

고밀도 마이크로프로세서 패키징 재료

Kyu-Oh Lee, Ph.D., Intel Corporation

개요:

인텔은 고밀도 마이크로 프로세서에서 전자 패키징 기술을 기반으로 실리콘 혁신의 기업이 되고 있습니다. 전자 패키징 기술은 무어의 법칙의 지속적인 진행에 중요한 핵심적인 원동력이 되었습니다. 그러나, 다양한 종류의 패키지 구조, 높은 신뢰성과 성능 요구는 2 차원 단순 기판을 이용한 패키지로부터 벗어나 다이 적층, 패키지 적층 및 고밀도 실장 패키지를 통한 3 차원 구조로 변화하고 있으며, 이러한 복잡한 패키징 솔루션은 새로운 재료 개발과 공정의 혁신을 요구하고 있습니다. 이 프레젠테이션에서는 특히 고직접 다이를 마더보드로까지 연결하는데 있어 필수적인 기판 기술, 효과적인 전원 공급, 고속 신호의 보전성, 발생된 열의 효과적인 제거와 같은 어려움을 열거하고 각각의 영역에서 접근 전략과 방법 그리고 잠재적인 공동사업 및 공동 연구 분야 등에 대해 소개하였습니다. 특히, 차세대 고밀도 다이와 기판 연결시 요구되는 연결 재료의 특성 요구, 저 유전 상수 유기 재료와 미세 패턴의 향후 방향이 논의되었고 기판과 보드 연결시 사용되는 슬더 범프 그리고 언더필 및 효율적인 열제거를 위한 열전달 물질의 특성 요구 방향도 논의 되었습니다.

진공패키지를 이용한 나노 진공관 공정 기술

Jin-Woo Han, Ph.D., NASA Ames Research Center

개요:

1960년대 상업용 실리콘 트랜지스터가 등장하기 전에는 진공관이 전자 회로의 주역이었다. 진공관은 전자가 진공 상태에서 자유로이 움직이는 것을 이용하여 정류 및 증폭 기능을 한다. 보통의 진공관은 약 1cm 이상의 크기를 가지고 진공 상태를 유지하기 위해 유리관이나 금속관에 쌓여있다. 또한 동작에 수백 볼트 이상의 전압이 필요하다. 따라서 진공관은 1) 집적하기 어렵고, 2) 무겁고, 3) 깨지기 쉬우며, 4) 전력소모가 크다. 고체소자인 트랜지스터는 반도체집적기술로 진공관의 단점들을 모두 극복해 집적하기 쉽고, 가볍고, 견고하며, 전력소모가 낮다. 이러한 이유로 진공관은 대부분 시장을 트랜지스터에 넘겨주었다. 하지만 트랜지스터는 전자가 실리콘 고체격자 내부를 이동하기 때문에 진공관에 비해 1) 증폭률이 낮고, 2) 노이즈에 민감하고, 3) 왜곡이 심하다. 이러한 이유로 프리미엄 오디오 시스템이나 베이스밴드 방송국 등에서는 여전히 진공관이 사용된다.

반도체집적기술을 이용하여 나노미터 크기의 진공관을 만들면 트랜지스터와 진공관의 장점을 모두 얻을 수 있게 된다. 나노 진공관은 반도체 기술로 집적할 수 있으며 가볍고 견고하면서도 고성능을 얻을 수 있다. 또한, 트랜지스터의 전자가 고체격자 내부의 온도에 매우 민감하여 극한 환경에서 오동작 가능성이 많은 것에 비해, 나노 진공관은 전자가 진공상태를 이동하기 때문에 극한 온도나 방사선에 무관하게 동작 한다. 따라서 나노 진공관은 자동차나 우주기술용 소자로 응용 범위를 확대할 수 있다.

본 연구원은 50 나노미터의 간극을 갖는 나노 진공관을 제작하였다. 기술의 핵심은 재래식 반도체 공정기술을 이용하여 100 나노미터 미만의 나노 진공관을 제작하는 것이고, 이에 따라 개당 1000 원 미만의 소자를 만들 수 있다. 향후 제품화 단계에 이르게 하려면, 진공 패키지 기술이 필요하다. 반도체 공정을 마친 나노 진공관 다이를 리드 프레임에 얹어 와이어 본딩 하고, 진공이 유지된 상태에서 패키지를 마치면 제품이 완성될 수 있다. 이에 본 연구원은 진공패키지를 포함한 후 공정 기술협력을 요청하는 바 입니다.

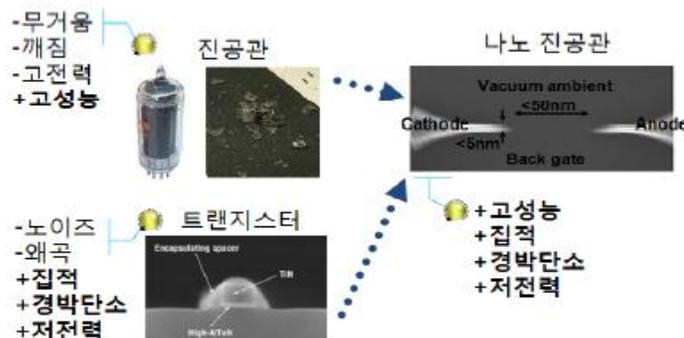


그림 1. 나노 진공관 개념도

마이크로 전자 패키징용 재료

Kyoung-Sik Moon, Ph.D., Georgia Institute of Technology

개요:

인텔, TI, 퀄컴을 포함한 20 여 산업체가 조지아텍 패키징 센터에 지원하는 Embedded Actives and Passives 프로그램에서 능동소자의 임베딩을 Chip-last 접속법으로 실현하는 연구를 진행하고 있다. 여기서 본 연구실에서 개발한 Non-Conductive Film (NCF) 를 사용하여 30 마이크론 피치의 능동소자의 Ni/Au 로 도포된 Cu Pillar 간 접속을 데모하고, 산업체에서 요구하는 신뢰성 시험을 통과하였다. 보다 가혹한 조건과 더 취약한 접속 재료 사용시에도 가능할 수 있는 재료개발이 진행 중이며, 보다 높은 전류밀도를 사용할 수 있는 접속재료의 기초연구도 병행하고 있다. 특히 보호막이 없는 구리 필라접속을 위한 재료 개발을 위한 연구가 필요하다.

에너지 절감용 고출력 LED 디바이스 시장의 확장이 예상되는 가운데 LED 디바이스 패키징에 대한 기술 수요가 증대되고 있다. 특히, LED 디바이스의 광효율 극대화 및 효율적 열방출을 위한 신 기술이 절실한 실정이다. 본 연구실에서는 에폭시 렌즈를 개질하여 LED 반도체에서 발생하는 빛의 양을 끌어올림으로써 광효율을 극대화하려는 연구를 진행해 오고 있다. 특히 양자점을 이용하여 고분자 재료의 굴절율을 조절하는 연구를 하고 있다. 고 효율 LED 디바이스의 패키징시 광효율 극대화를 위한 신물질 개발에 대한 산업체와의 공동연구가 가능할 것으로 예상된다.

TSV 등의 기술을 적용한 3D 다이적층 패키지의 신뢰성 향상을 위해서, 고흐름성, 전기접속용 범프들의 용이한 접합, 매우 얇은 다이가 견딜수 있는 압력으로 공정이 가능한, 좋은 열방출, 저응력 등 많은 요구를 충족시킬 수 있는 언더필 재료의 개발이 필요하다. 본 연구실에서는 플립칩을 위한 노플로우 언더필, 웨이퍼 레벨 패키징 (WLP) 언더필에 대한 재료 개발 및 기초연구에 대한 축적된 기술을 바탕으로 고성능 언더필 재료 개발을 위해 연구하고 있다. 3D 적층 공정을 위한, 노플로우와 WLP 용 언더필의 특성을 병합하는 재료를 개발 중이며, 특히 분자단위의 미세무기물을 사용하여 고흐름성을 유지하면서 열기계적인 성질을 변화시키는 연구를 진행하고 있다.

또한 CNT 나 그래핀과 같은 카본재료의 차세대 전자디바이스 패키징 적용을 연구중에 있다. 현재, 미국정부 지원의 Darpa 프로그램에서 열계면재료를 연구중인데, CNT 및 그래핀의 매우 높은 열방출 성능을 이용하여 고성능 마이크로 프로세서에서의 열처리를 하려고 시도하고 있다.

본 연구팀은 조지아텍 3D 시스템 패키징 연구센터에서 나노 재료부를 이끌고 있으며, 다양한 언더필재료 및 공정, 전도성접착제, 임베딩용 수동재료들, 에너지 저장용 디바이스의 나노 전극, LED 패키징, 나노재료, 나노솔더, 열계면재료 등 전자패키징을 위한 다양한 재료를 연구하고 있으며 공동연구들에 대해서 논의할것이다.

스마트 이동통신 단말기 및 대용량 마이크로 프로세서의 2D 및 3D 시스템 패키징을 위한 초소형 마이크로 및 나노급 Interconnection 기술

Chong K. Yoon, Ph.D., BT Sense

개요:

전자부품 및 시스템의 경박단소화와 고성능화를 동시에 구현하기 위하여는 시스템 디자인, 소재, 부품 및 공정 등의 기술개발도 매우 중요하지만, 각 부품과 시스템의 효율적인 집적(Integration)을 위한 시스템 패키징기술도 동시에 개발되어야 할 매우 중요한 기술이다. 시스템 패키징기술 중에서도 현재 전체 시스템의 경박단소화와 고성능화에 걸림돌이 되는 요소 기술 중의 하나가 Interconnection 기술이다. Apple, Android 및 Blackberry 등의 스마트 이동통신 단말기 및 Tablet PC의 경우 단말기의 두께를 줄이기 위한 경쟁이 전 세계적인 관심사이나, 이 중에서 가장 큰 문제점인 커넥터의 높이를 줄이기 위한 기술개발은 근원적인 개념의 정체로 인하여 답보상태에 있다. 또한, 기업용 대용량 마이크로 프로세서 및 그래픽칩 등은 I/O 수 및 Pitch, Interconnection의 형상과 높이, Loop Inductance/Noise 및 Thermal Management 등의 문제점으로 인하여 초고성능 프로세서의 개발이 수년간 지연되고 있는 실정이며, 이들 기술은 Interconnection 기술을 개선함으로써 상당수 해결될 것으로 보인다. 이와 같이 답보상태에 있는 Interconnection 기술을 획기적으로 개선하기 위해서는 마이크로 및 나노급 Interconnection 기술에 대한 신개념과 신공정을 개발하는 것이 매우 중요하다. 이들 기술들은 Medical 용, Security 용 및 항공우주기술용 3D 시스템 패키징에 적용되어 시스템의 성능향상과 소형화에 기여할 수 있는 요소기술이 될 것으로 판단한다. 한편, 앞에서 언급한 이동통신용 커넥터와 대용량 마이크로 프로세서용 Interconnection 부품은 그 자체가 단독상품(Stand-alone)으로써 세계적인 Set-Maker, 부품 및 시스템회사들을 대상으로 세계시장에 진출할 수 있으며, 현재 세계시장은 각각 연간 \$1 Billion 로 추정하고 있다.

지난 10 여년간 2D 및 3D 시스템 패키징 및 Interconnection 기술의 발전추세와 응용분야를 먼저 요약하기로 하고, 이동통신분야와 대용량 마이크로 프로세서 분야의 관련 기술발전 추세에 대하여 논하기로 한다. 특히, 최근 주목 받고 있는 3D 시스템 패키징분야의 주요 기술인 TSV (Through Si Via), SOP (System on Packaging)/SIP (System in Packaging)/POP (Package on Package), 여러 형태의 마이크로급 Interconnect, LGA (Land Grid Array) Socket 및 Bumpless Interconnection 등에 대하여 보다 구체적으로 언급함으로써 차세대 마이크로 및 나노급 Interconnection 기술의 발전 가능성을 제시하기로 한다.

일반적인 2D, 3D 시스템 패키징 기술과 새로운 개념의 Interconnection 기술에 대하여 참석자들과 토론할 예정이며, 향후 국내외 산학연과의 공동기술개발 및 사업화 가능성에 대하여 진지하고도 지속적인 의견교환을 하기로 한다.