

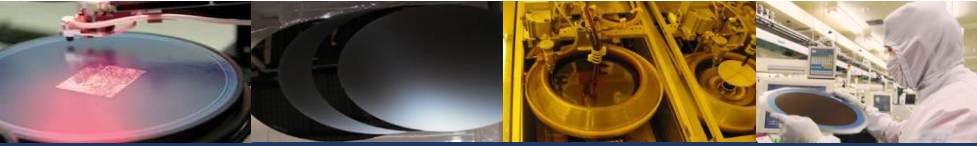
# 생산성을 높일 수 있는 웨이퍼 적층 방법

기술분류 반도체소자 및 시스템

거래유형 라이선스

기술가격 별도 협의

기술구분 패키징 기술



## 기술개요

본 기술은 필링금속이 필링된 웨이퍼를 적층하는 방법이다. 본 기술에 따르면, 웨이퍼 방에 돌출부를 형성함으로써 웨이퍼 적층을 위한 전체 과정을 간소화시킬 수 있다. 본 웨이퍼 적층 방법은 효율적인 공정과정을 통해 제품의 생산성을 높일 수 있으므로 시장 점유율을 향상시킬 수 있다.

## 기술개발배경

전자기기에 사용되는 웨이퍼 패키지의 초소형화에 따라 3차원적 적층이 가능한 3D 패키지 기술 필요

## 기존기술 한계

- 각 전도층 간을 열압착하거나, 별도의 솔더를 이용하여 각 전도층을 전기적으로 연결
- 각 웨이퍼에 금속 범프를 일일이 형성해야 하므로 공정 시간이 증가
- 솔더 등을 이용하여 전도층 간을 연결하는 경우 전체 적층된 웨이퍼의 두께 증가



## 개발기술 특성

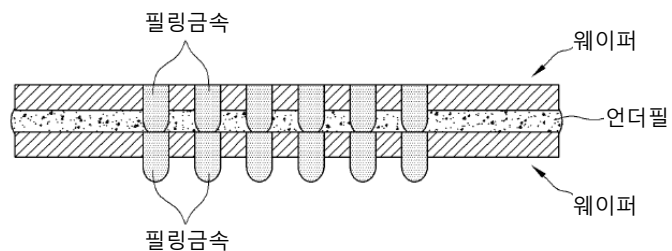
- 웨이퍼의 일면 방향에서 흡입력을 통해 관통 비아홀 내부에 용융된 필링금속을 필링함으로써 웨이퍼 방에 돌출부를 형성, 공정 과정을 단축시킴
- 돌출부는 다양한 방법에 의해 더욱 돌출되도록 형성함으로써 웨이퍼 적층이 용이하고, 두께 조절이 가능

## 기술구현

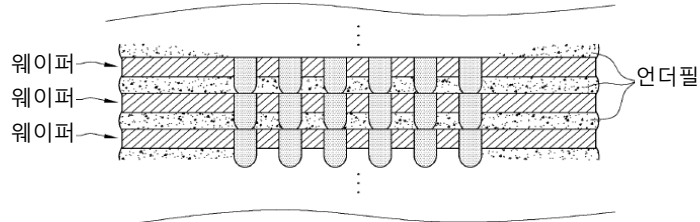
본 웨이퍼 적층 방법은 아래와 같다.

- 관통 비아홀에 형성된 웨이퍼를 관통 비아홀 필링 장치에 안착
- 관통 비아홀 내부에 용융된 필링금속 필링
- 웨이퍼 일면에 화학기계연마 수행
- 웨이퍼 일면에 실리콘 에칭 수행
- 웨이퍼 일면을 용융된 필링금속에 노출시켜 돌출부 성장
- 돌출부를 타 웨이퍼 타면의 관통 비아홀에 접촉시켜 적층
- 언더필 도포 및 큐어링 수행

[웨이퍼 및 타 웨이퍼 사이에 언더필 도포 모습]

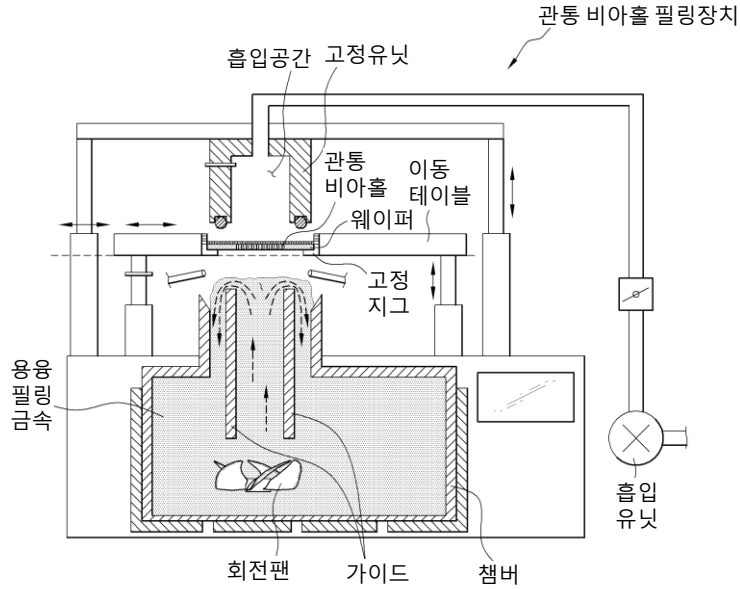


[복수 개의 웨이퍼가 적층된 모습]



## 주요도면, 사진

[본 관통 비아홀 필링장치의 구성 예시]



## 기술완성도

TRL 1 > TRL 2 > TRL 3 > TRL 4 > TRL 5 > TRL 6 > TRL 7 > TRL 8 > TRL 9

실용 목적의 아이디어, 특허 등 개념 정립

## 기술활용분야

반도체, LED, 태양전지 웨이퍼 증착용 장치

## 시장동향

- 글로벌 반도체장비 시장은 2011년 4,433 백만 달러의 규모에서 2012년 4,379 백만 달러, 2013년 4,608 백만 달러의 규모를 형성할 것으로 보임
- 웨이퍼 프로세싱 장비는 2012년 3,439 백만 달러에서 2013년 3,711 백만 달러의 시장 규모로 성장할 것으로 예상되며 이는 신규 투자 증가에 의한 것이라 사료됨

## 지식재산권 현황

No.	특허명	출원일자	등록번호	IPC
1	관통 비아홀 외부로 돌출된 필링금속을 이용한 웨이퍼 적층방법	2010.09.08	10-1122039	H01L 23/48
2	관통 비아홀이 형성된 웨이퍼 및 이에 대한 적층방법	2010.03.29	10-1109053	H01L 21/60
3	열전달 비아홀 및 열전박막을 가지는 방열기판 및 이에 대한 제조방법	2010.07.13	10-1126548	H01L 33/64
4	가압유닛이 구비된 웨이퍼 비아 솔더 필링장치 및 이를 이용한 웨이퍼 비아 솔더 필링방법	2011.07.12	10-1168719	H01L 21/60