



차세대 반도체를 위한

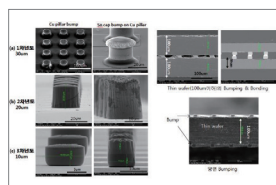
TSV 충전기술 및 초미세피치 범핑, 본딩기술

전자기기의 소형화, 다기능화, 고성능화 요구로 인해 3D 적층 전자패키징 기술에 대한 산업적 요구가 증대하고 있다. 특히, TSV(Through Silicon Via)는 사람 머리카락의 1/10 수준인 수~수십 μm 크기의 반도체 칩에 관통 홀을 형성한 후 도전성 재료를 충전해 직접적인 전기적 통전을 가능하게 하는 기술이다. 기존의 와이어 본딩(접합)과 비교, 짧은 통전거리에 의해 빠른 신호 전달이 가능하고 높은 집적도 구현, 전력효율 향상을 이룰 수 있는 등 차세대 초미세 전자패키징 기술이다.

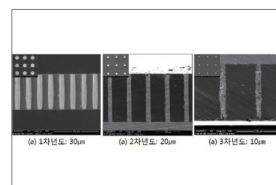
현재 TSV 충전공정은 긴 작업 시간 탓에 3D 패키징 제조에 약 30% 이상의 비용을 차지하는 등 상업화에 걸림돌이 되고 있다. 또한 TSV 직경이 작아짐에 따라 솔더범프의 크기도 작아져야 하므로 10 μm 이하의 초미세 범프 형성 및 본딩(접합) 기술 확립과 공정 최적화가 필요하다.

연구책임자 이창우

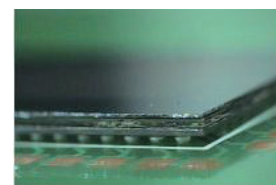
개발 목적	<ul style="list-style-type: none"> TSV에 의한 차세대 반도체 3차원 적층 제조기술의 실현을 위한 저단가, 고생산성 및 신뢰성을 갖는 충전기술 개발과 실용화 Sub Micro-meter의 초미세피치 대응을 위한 범프 형성 및 본딩(접합) 기술의 최적화
개발 내용	<ul style="list-style-type: none"> 웨이퍼 양단의 압력 차이를 이용한 Sn-용융 금속의 TSV 충전, TSV 크기에 관계없이 수초 이내의 빠른 충전시간 구현, 결함이 없는 완벽한 충전 10μm 이하의 Cu 기동 범프와 Sn 캡 범프 형성, 플립칩 본딩(접합) 공정 최적화에 의한 적층 구현
기대 효과	<ul style="list-style-type: none"> 기존 전해도금 공정과 비교해 충전 시간이 매우 빠르고 공정변수가 적어 제어가 용이 도금액 등과 같은 폐기물이 발생하지 않아 환경 친화적 빠른 충전 시간에 따른 저비용 충전이 가능하고 생산성이 확보돼 TSV 상용화 앞당기는 계기 마련 초미세피치 솔더링 기술의 확립과 최적화에 의한 반도체 3D 적층을 위한 기반 기술 마련



▲ Cu pillar, Sn cap bump 형성 & Bonding



▲ Molten solder via filling



▲ Stacking